

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-074909

(43)Date of publication of application : 17.03.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21)Application number : 09-187927

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 14.07.1997

(72)Inventor : JOHN EDWARD KURONIN
CARTER UERINGU KAANTA
BRIAN JOHN MACHIESUNII

(30)Priority

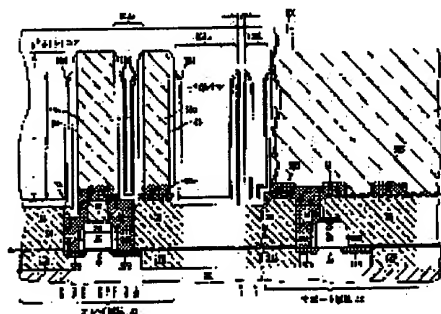
Priority number : 96 690629 Priority date : 30.07.1996 Priority country : US

(54) METHOD FOR FORMING CONNECTION PART AND SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DRAM cell laminated capacitor in self-alignment with the bit line.

SOLUTION: A bit line on a support circuit 52 of a chip and a thick insulating body 58 on a mutual connection wiring 50S are provided with uniform topology, acting to give a self-alignment between a capacitor 108a and a bit line 50a. The bit line 50a and a support circuit mutual connection wiring 50S and formed of metal of the same level, however, patterned in separate masking processes. The laminated capacitors 108a are mutually separated by a distance shorter than the minimum dimension of a photolithographic system used for production.



LEGAL STATUS

[Date of request for examination]

06.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74909

(43) 公開日 平成10年(1998) 3月17日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 2 1 C
	21/8242		27/04	C
	27/04		27/10	6 8 1 B
	21/822			

審査請求 未請求 請求項の数21 O L (全 19 頁)

(21) 出願番号 特願平9-187927

(22) 出願日 平成9年(1997) 7月14日

(31) 優先権主張番号 08/690629

(32) 優先日 1996年7月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ジョン・エドワード・クロニン

アメリカ合衆国 05468 バーモント州
ミルトンアールディーナンバー3 ボック
ス 3254 (番地なし)

(74) 代理人 弁理士 坂口 博 (外1名)

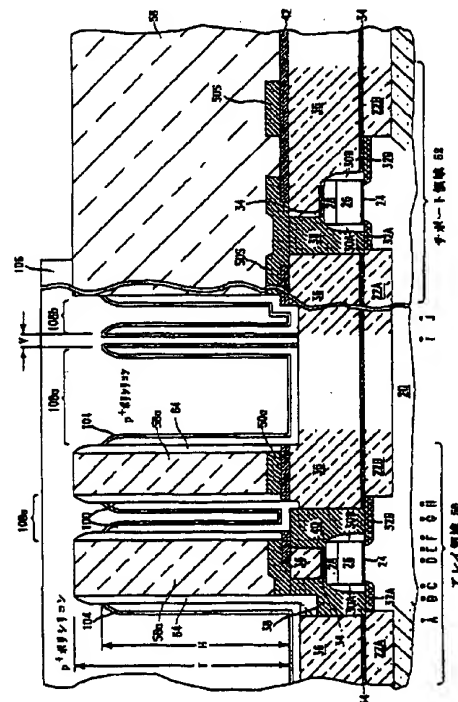
最終頁に続く

(54) 【発明の名称】 接続部を形成する方法および半導体チップ

(57) 【要約】

【課題】 ビットラインに自己整合したDRAMセル積層キャパシタを提供する。

【解決手段】 チップのサポート回路52上のビットラインおよび相互接続配線50S上の厚い絶縁体58は、一様なトポロジを与え、およびキャパシタ108aとビットライン50aとの自己整合を与える働きをする。ビットラインと支持回路相互接続配線とは、同一レベルの金属から形成されるが、別個のマスキング工程でパターンニングされる。積層キャパシタ108aは、作製に用いられるフォトリソグラフィック・システムの最小寸法より小さい距離だけ、互いに分離されている。



【特許請求の範囲】

【請求項1】接続部を形成する方法であって、

(a) 導電層を付着する工程と、

(b) 少なくとも前記導電層の部分をパターンニングする工程と、

(c) 前記導電層上に絶縁層を形成する工程と、

(d) 少なくとも前記絶縁層および前記導電層の部分をパターンニングする工程と、を含むことを特徴とする方法。

【請求項2】前記導電層は、半導体チップ上にあり、前記半導体チップは、アレイ部とサポート部とを有し、前記工程(b)は、前記アレイ部をブロック・マスキングしながら、前記サポート部をパターンニングする工程を含むことを特徴とする請求項1記載の方法。

【請求項3】前記工程(d)は、前記サポート部をブロック・マスキングしながら、前記アレイ部をパターンニングする工程を含むことを特徴とする請求項2記載の方法。

【請求項4】前記アレイ部は、ビットラインを有し、前記ビットラインに自己整合した積層キャパシタを形成する工程をさらに含むことを特徴とする請求項3記載の方法。

【請求項5】前記工程(c)の前記絶縁層は、厚さを有し、前記積層キャパシタは高さを有し、前記高さは、前記厚さにほぼ等しいことを特徴とする請求項4記載の方法。

【請求項6】前記工程(c)は、第1の絶縁体を付着し、次に、第2の絶縁体を付着する工程を含み、前記工程(d)は、前記第2の絶縁体をパターンニングし、前記第1の絶縁体をパターンニングする工程と、前記第2の絶縁体を、細くする工程と、前記第1の絶縁体に自己整合した前記導電層をパターンニングする工程と、を含むことを特徴とする請求項1記載の方法。

【請求項7】前記細くする工程は、等方性エッチング工程であり、前記第1の絶縁体は、前記第2の絶縁体を細くする工程の際に、実質的にエッチングされない材料であることを特徴とする請求項6記載の方法。

【請求項8】積層キャパシタおよびビットラインを有するメモリセルを備え、前記積層キャパシタは、前記ビットラインに自己整合していることを特徴とする半導体チップ。

【請求項9】前記ビットライン上に厚い絶縁体を有し、前記ビットラインは、前記厚い絶縁体に自己整合し、前記積層キャパシタは、前記厚い絶縁体および前記ビットラインに自己整合していることを特徴とする請求項8記載の半導体チップ。

【請求項10】前記厚い絶縁体は、厚さを有し、前記ビットラインは厚さを有し、前記厚い絶縁体の厚さは、前

記ビットラインの厚さの少なくとも5倍であることを特徴とする請求項8記載の半導体チップ。

【請求項11】前記ビットラインおよび積層キャパシタは、アレイの一部であり、前記半導体チップは、さらに、サポート回路を備え、前記サポート回路は、前記ビットラインと共面の相互接続メタライゼーション層を有し、前記相互接続メタライゼーション層上の前記厚い絶縁体は、ほぼ一様なチップ・トポロジを与えることを特徴とする請求項13記載の半導体チップ。

【請求項12】最小寸法を有するフォトリソグラフィック技術を用いて作製された半導体チップであって、1対の積層キャパシタを備え、前記1対の積層キャパシタは、前記最小寸法よりもかなり小さい距離だけ、互いに分離されていることを特徴とする半導体チップ。

【請求項13】複数のビットラインをさらに備え、前記ビットラインは、ビットライン・ピッチを有し、前記分離距離は、前記ビットライン・ピッチの1/4より小さく、

前記積層キャパシタは、前記ビットラインに自己整合していることを特徴とする請求項12記載の半導体チップ。

【請求項14】前記ビットラインおよび積層キャパシタは、アレイの一部であり、前記半導体チップは、さらに、サポート回路を備え、前記サポート回路は、前記ビットラインと共面の相互接続メタライゼーション層を有し、前記相互接続メタライゼーション層上の前記厚い絶縁体は、ほぼ一様なチップ・トポロジを与えることを特徴とする請求項13記載の半導体チップ。

【請求項15】DRAMセルの作製方法であって、

(a) 半導体ウェハを設ける工程と、

(b) 前記ウェハ上にビットラインを画成する工程と、

(c) 前記ビットラインに自己整合した積層キャパシタを形成する工程と、を含むことを特徴とする方法。

【請求項16】前記工程(b)は、

b1) 前記ウェハ上に金属の層を付着する工程と、

b2) 前記金属の層上に厚い絶縁体を付着する工程と、

b3) 前記厚い絶縁体上に、前記ビットラインのマスキング・パターンを設ける工程と、

b4) 前記厚い絶縁体をエッチングして、厚い絶縁ベDESTAL部を形成する工程と、

b5) 前記工程(b4)で露出された前記金属の層をエッチングして、前記ビットラインを画成する工程と、を含むことを特徴とする請求項15記載の方法。

【請求項17】前記エッチング工程(b5)の後に、前記厚い絶縁体を等方性エッチングし、前記ビットラインに中心合わせされた細くて厚い絶縁ベDESTAL部を残す工程をさらに含むことを特徴とする請求項16記載の方法。

【請求項18】前記ビットラインと前記厚い絶縁体との間に、第2の材料層を付着する工程をさらに含み、前記

3

厚い絶縁体は、前記第2の材料層を実質的にエッチングすることなくエッチング可能であり、前記第2の材料層は、前記ビットラインを実質的にエッチングすることなくエッチング可能であることを特徴とする請求項17記載の方法。

【請求項19】DRAMチップを作製する方法であつて、

(a) アレイ部およびサポート部を有する半導体ウェハを設ける工程と、

(b) 前記アレイ部およびサポート部上に、厚い絶縁体

(c) 前記アレイ部上の前記厚い絶縁体内に溝をエッチングする工程と、

(d) 前記溝内に積層キャパシタを形成する工程とを含み、前記厚い絶縁体は、厚さを有し、前記積層キャパシタは、高さを有し、前記高さは、前記厚さにほぼ等しい、ことを特徴とする方法。

【請求項20】前記工程(b)の前に、導電層を付着する工程をさらに含み、前記工程(c)は、前記アレイ部上の前記厚い絶縁体内の前記溝に自己整合した前記導電層をエッチングする工程をさらに含むことを特徴とする請求項19記載の方法。

【請求項21】DRAMチップの作製方法であつて、

(a) 半導体ウェハを設ける工程と、

(b) 選択的にエッチング可能な第1の材料を付着する工程と、

(c) 最小寸法を有するフォトリソグラフィック技術を用いて、前記第1の材料上に、選択的にエッチング可能な第2の材料よりなる、エッジを有する島を形成し、前記エッジに沿って、選択的にエッチング可能な第3の材料よりなり、前記最小フォトリソグラフィック寸法よりも小さい寸法を有するスペーサを、ノン・フォトリソグラフィックに形成し、前記島をエッチング除去して、前記スペーサおよび前記第1の材料を残す工程と、

(d) 前記スペーサによってマスクされた前記第1の材料内の溝をエッチングする工程と、

(e) 前記溝内に積層キャパシタを形成する工程とを含み、前記積層キャパシタは、前記スペーサの寸法にほぼ等しい寸法だけ、互いに分離している、ことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般には、集積回路チップのための、積層キャパシタに関する。より具体的には、本発明は、DRAMセル構造、および積層キャパシタが下側のビットラインに自己整合するDRAMセル構造の製造方法に関する。

【0002】

【従来の技術】積層キャパシタは、高密度DRAMセルにおける電荷蓄積のために広く用いられてきた。ある種

4

類の積層キャパシタは、スタッド積層キャパシタである。このキャパシタでは、ポリシリコン・スタッドが画成され、誘電体で覆われ、この誘電体は、ポリシリコンのコンフォーマル層で覆われる。他の種類の積層キャパシタは、複数の平坦層、または酸化物によって分離されたポリシリコンよりなる垂直シリンドラ部を有している。積層キャパシタは、DRAMセルに対して利点を与えるが、いくつかの問題を有している。第1に、高接触抵抗につながる、キャパシタ・プレートとノード拡散部との間の重なり不整合の問題が存在する。第2に、積層キャパシタは、アレイ領域に非常に凹凸のあるトポグラフィを有し、これがホトリソグラフィのような次の処理工程を困難にする。第3に、積層キャパシタをカプセル封止する厚い酸化物を介する、ビットラインとビットライン拡散部との間の接触が難しい。第4に、下側構造と積層キャパシタとの間のフォトリソグラフィ上の不整合が、積層キャパシタのサイズおよびキャパシタンスにチップ毎の変動を生じさせる。第5に、積層キャパシタの垂直寸法が、それ自体のトポグラフィを扱う能力によって制限され、積層キャパシタの平坦領域が、セルの寸法によって制限される。最後に、積層キャパシタは、ノードとビットラインのコンタクトを与える追加のマスクを必要とする。

【0003】したがって、キャパシタ・プレートとビットラインとの間の改善された重なりと、ビットラインおよびノード拡散部への簡単なコンタクトと、なめらかなトポロジを保持しながらより垂直に伸びる能力と、セル間のキャパシタンスの小さい変動と、セル領域の良好な使用と、追加のマスクを必要としない積層キャパシタを与える良好な解決方法が必要とされる。この解決方法は、以下の発明によって与えられる。

【0004】

【発明が解決しようとする課題】本発明の目的は、ビットラインに自己整合したDRAMセル積層キャパシタを提供することにある。

【0005】本発明の他の目的は、後続の配線レベルの処理を容易にするため、チップのアレイ領域およびサポート回路部に一様なトポロジを有するDRAMチップを提供することにある。

【0006】本発明の他の目的は、セルのほぼ全領域を占有する積層キャパシタを提供することにある。

【0007】

【課題を解決するための手段】本発明のこれらおよび他の目的、特徴、利点は、接続部を形成する方法によって実現される。この方法は、導電層を付着する工程と、少なくとも導電層の部分をパターニングする工程と、導電層上に絶縁層を形成する工程と、少なくとも絶縁層および導電層の部分をパターニングする工程とを含んでい

る。

【0008】本発明の他の態様は、ビットラインに整合

した積層キャパシタを有するDRAMセルの構造である。

【0009】本発明の特徴は、1つのレベルのメタライゼーション部分が、別個のマスキング工程でパターンニングされることである。

【0010】また、本発明の利点は、製造プロセスに用いられるフォトリソグラフィック・システムの最小寸法よりもかなり小さい寸法を有する分離領域によって占められる以外は、セルのほぼすべての領域を、積層キャパシタが占有できることである。

【0011】

【発明の実施の形態】本発明は、積層キャパシタ・プレートとノード拡散との間の改善された重なりと、滑らかなトポロジと、追加のマスクを避けながらビットラインおよびノード拡散への簡単なコンタクトとを提供する。本発明は、米国特許出願第08/540,387号明細書に開示されている方法を利用して、ノード・スタッドがコンタクト用を開かれたときに、絶縁体がビットライン・スタッド上に残るようにしている。本発明は、ビット

ラインに自己整合した積層キャパシタを設け、アレイ領域およびサポート領域上に一様なトポロジを有する構造を設けることによって、前記米国特許出願明細書に開示の方法を越えた利点を与える。

【0012】“上(on)”および“より高い(higher)”のような表現は、構造が実際に保持される方向とは関係なしに、チップまたはウェハの平坦半導体面に対して定義される。

【0013】この明細書で使用されるように、「キャパシタがビットラインに対して“自己整合”される」という語句は、キャパシタとビットラインを作製するのに、1つのマスキング工程が用いられることを意味している。キャパシタのエッジは、ビットラインのエッジによって画成することができる。あるいはまた、キャパシタおよびビットラインの両方は、同一のフォトリソグラフィック・エッジによって画成することができる。キャパシタまたはビットラインは、元のフォトリソグラフィック・エッジから取り出された、スペーサ・エッジのようなエッジによって画成できることが理解される。重要な点は、2つの構造に対し別個のフォトリソグラフィック工程を避けられることである。すなわち、両方の構造は、1つのマスキング工程から得られる位置に形成される。したがって、2つの構造間には、マスク・アライメント公差間隔が存在しない。スペーサに加えて、エッチング、イオン注入、拡散、その他のプロセス工程のようなプロセスは、もちろん、2つの構造を実際のアライメントから動かすことができるが、これらプロセスは、共通の元のフォトリソグラフィック・マスク・エッジに“自己整合”されると依然としてみなされ、また、互いに“自己整合”されるとみなされる。というのは、それらの位置は、共通のマスク・エッジから得られ、別個のマスクに

より決定されないからである。

【0014】図1は、本発明の積層キャパシタ・セルを作製する前に、チップのアレイ領域およびサポート領域にトランジスタを作製し、またトランジスタへのスタッド接続部を作製するプロセスにおける工程を示す断面図である。これらのプロセスは、前記米国特許出願08/540,387号明細書に記述されているプロセスに類似している。

【0015】基板20は、シリコン、ゲルマニウム、ヒ化ガリウムのような半導体で形成される。第1の工程では、浅いトレンチ分離(shallow trench isolation; STI)領域22A, 22Bが、基板20内の所望領域に、トレンチを最初にエッチングすることによって、作製される。次に、STI領域22A, 22Bが、CVD付着二酸化シリコンのような絶縁材料で充てんされ、平坦化される。

【0016】STIの特定の詳細に関する情報は、技術上容易に得られる(B. Davariらによる1988 IEDM 88 Technical Digest, Cat. No. 88 CH2528-8, p. 92-95を参照)。さらに、技術上周知のLOCOS分離を含む、他の通常種類の分離も、積層キャパシタ・セルに利用可能である。

【0017】次に、通常、基板20の熱酸化によって、ゲート酸化層24が形成される。ゲート酸化層24は、典型的に、約50~約200Åの範囲の厚さを有している。

【0018】ゲート酸化層24の形成に続いて、約2500Å厚さのポリシリコンよりなるブランケット層と、約1000Å厚さの窒化シリコンよりなるブランケット層とが、ワードライン26および絶縁キャップ28のために、それぞれ付着される。あるいはまた、ワードライン26は、ポリシリコン層上に、タングステンまたはモリブデンのような高融点金属を形成して、低い電気抵抗を与えるように形成することもできる。また、低抵抗層を、シリコンのような他の材料と、高融点金属との合金で形成して、例えば、モリブデン、タンタル、またはタングステンのジシリサイド(disilicide)を与えることができる。ワードライン26のためのブランケット層を、化学蒸着法(CVD)、低温CVD、プラズマ励起CVD(PECVD)、蒸着法などのような通常の方法によって形成することができる。ワードライン・スタックの導電部のように、窒化物キャップ層28は、CVDのようなプロセスを用いて、すべての露出面にブランケット層として好適に付着される。次に、キャップ層およびワードライン層が、マスクされ、エッチングされて、個々のワードライン26のために適切な形状を形成する。

【0019】エッチング工程によって、キャップド・ワードライン26, 28が画成された後に、約500~約

1000Åの厚さを有するブランケット窒化シリコン層が付着される。RIEを用いる方向性エッチング工程は、例えば、水平面からこの層のすべての部分を除去し、ワードライン26の側壁に沿ってスペーサ30A、30Bを残す。したがって、絶縁キャップ層28およびスペーサ30A、30Bは、以下に説明するビットラインおよびキャパシタ・スタッドのような他の導電領域から、ワードライン26を絶縁する。

【0020】次に、拡散領域32A、32Bが形成される。拡散領域32A、32Bは、通常の金属酸化物半導体電界効果トランジスタ(MOSFET)のソースおよびドレインとして機能する。薄い酸化物24上にあるワードライン26の部分は、ゲートとして機能する。拡散領域32A、32Bを形成する方法は、技術上周知であり、イオン注入を含んでいる。

【0021】パシベーション層34が、次に設けられる。パシベーション層34は、好ましくは、窒化シリコンのような材料で形成され、比較的薄く、例えば約500~約1000Åである。パシベーション層34は、スペーサ30A、30Bと、ワードライン26のキャップ28と、隣接拡散領域32A、32Bとのすべての表面を含む全表面を覆う。パシベーション層34は、イオン物質が酸化物領域およびSTI酸化物領域に入るのを防止し、次の処理工程中にエッチング停止層として働く。CVDのような標準的方法を用いて、窒化物パシベーション層34が設けられる。

【0022】次に、二酸化シリコンのような材料からなる厚い絶縁層36が、CVDまたは低温CVDのような通常的方法を用いて、付着される。次に、絶縁層36は、化学機械研磨(CMP)によって平坦化される。CMPは、米国特許第5,292,689号、第5,234,868号、第4,944,836号、第4,910,155号明細書に記述されている。平坦化されると、層36は、約3000~約15000Åの範囲の厚さを有しており、この厚さは、部分的に、STCセルの設計サイズ、および基板20と次の工程で形成されるビットラインとの間の容量結合を減少させるのに必要とされる間隔に依存する。

【0023】次の工程で、マスク(図示せず)を用いて、厚い絶縁領域36を通る2つのバイアを画成し、続いて通常のエッチング手順によって、バイアを、拡散領域32A、32B上の窒化物パシベーション層34の深さにまでエッチングする。次に、窒化物パシベーション層34の露出部が、特定の期間、標準的な方向性エッチングを用いて除去される。パシベーション層34の付着および方向性エッチングは、スペーサ30A、30Bを幾分厚く残し、他方、キャップ28の露出部は、わずかに薄くなる。マスクの除去に続いて、導電材料が付着されて、拡散領域32A、32Bの両方に同時に接触し、両方のバイアを充てんする。次に、導電材料が平坦

化されて、スタッド38、40を形成し、厚い絶縁層36と共面である拡散領域32A、32Bにそれぞれ接触する。導電性材料は、通常、ドーパド・ポリシリコンであるが、チタン/窒化チタン/タングステンのサンドイッチのような高融点金属または金属合金とすることもできる。

【0024】金属スタッドのようなフィーチャを作製するメタライゼーション技術は、例えば、文献VLSI Technology, 2nd Edition, S. M. Sze, 1988, McGraw-Hill Publishing Company (この文献の第9章は、このトピックに特に関連しているが、Szeテキストの全内容が一般に関連している)に記載されている。金属付着は、CVD、スパッタリング、蒸着などのような既知の方法によって行うことができる。

【0025】スタッド38、40は、アレイ領域56とサポート領域52との両方に形成される。サポート領域52のコンタクトは、後の工程で、両方のスタッドに作られる。しかし、サポート領域52のスタッド40は、例示断面図においてスタッド38の面以外の面にあるので、および図2のスタッド38、40への配線接続を簡単に示すために、サポート領域52のスタッド40は、図示していない。

【0026】スタッド38、40の寸法は、製造される特定世代のSTCセルに利用できるフォトリソグラフィック・システムに依存している。各スタッドは、そのフォトリソグラフィック・システムのほぼ最小寸法である幅を有している。スタッド38、40の高さは、キャップド・ワードライン26の高さに少なくとも等しくなければならない。実例として、256メガビットDRAMのSTCセルのためのスタッド38、40の高さは、約3000~約10000Åの範囲にあり、その幅は、約2000~約4000Åの範囲にある。256メガビット・チップのための好適な寸法は、8000Å高さおよび2500Å幅である。スタッド38、40の上面は、前述したCMPのような方法によって、通常、平坦化される。

【0027】次に、スタッド区分(differentiation)層42が、スタッド38、40と絶縁領域36の露出面に設けられる。スタッド区分層42は、前述した256メガビットDRAMサイズに対して約500~約1000Åの厚さを有している。スタッド区分層42は、典型的に、二酸化シリコンで形成されるが、窒化シリコン、または酸化シリコンと窒化シリコンとの合成物のような種々の他の材料で形成することもできる。スタッド区分層42は、CVDのような普通の方法で付着される。

【0028】次に、スタッド区分層42は、スタッド区分マスク44を用いてパターンニングされ、ビットライン・スタッド38にコンタクトを開くようにエッチングさ

れるが、キャパシタ・スタッド40は、図1に示されるように、被覆されたままに残される。スタッド区分マスク44および層42は、後に形成されるビットライン50aがビットライン・スタッド38と接触するが、キャパシタ・スタッド40と接触しないことを保証する。スタッド区分層42は、ビットライン50a（図4）とキャパシタ・スタッド40との間の寄生キャパシタンスを減少させるに十分なほど厚くなければならないが、容易なエッチングを可能にするのに十分なほど薄くなければならない。

【0029】次の工程では、ビットライン導体50の薄いブランケット層が、図2に示すように付着される。ビットライン導体50は、ビットライン対ビットライン・キャパシタンスに最小にするため、典型的には、わずかに約1000Å程度である。ビットライン導体は、カナダ国特許第1,306,072号に記載されているように、高融点金属、またはチタン/窒化チタン/タングステンのような層構造で好適に形成され、あるいは、エレクトロマイグレーションの問題を避けるために、高融点金属—シリサイドで形成することができる。ビットライン導体50は、CVDのような方法で付着される。CVDでは、導体は、全表面上にブランケット付着される。ビットライン・メタライゼーション50は、スタッド区分層42が開いているビットライン・スタッド38に接触する。ビットライン・メタライゼーションは、スタッド区分層42によって保護されるキャパシタ・スタッド40には接触しない。

【0030】次の工程では、DRAMチップのロジック・サポート部52に用いられるビットライン・メタライゼーション50の部分は、ブロック・マスク部54'を有するマスク54を用いるマスキング工程において、パターンニングされる。この工程において、ブロック・マスキング部54'は、チップのアレイ部56上に完全にそのまま残される。これは、図2に示すように、アレイ部56上に設けられるビットライン・メタライゼーション50のすべての部分の除去を避けるためである。

【0031】次に、図3に示すように、 $Cl_2 + O_2$ または $SiF_4 + O_2$ のような標準のCVDタングステン・エッチャントを用いて、ビットライン・メタライゼーション50がエッチングされ、チップのサポート部に相互接続部50Sを形成し、他方、チップのアレイ部にブランケット・メタライゼーション50を残したままとする。次に、二酸化シリコンのような材料から形成された厚い絶縁体58が、付着され、化学機械研磨によって平坦化される。厚い絶縁体58は、後に形成される積層キャパシタに必要な高さを与えるように設定された厚さ、典型的には少なくとも1μmを与える。

【0032】次に、ブロック・マスク部60Sを有するマスクが設けられ、チップのアレイ部56にあるビットライン・メタライゼーション50の部分を画成し、他

方、チップのサポート部52を完全にブロックする。この工程では、ブロック・マスク部60Sは、チップのサポート部52上に完全にそのまま残る。これは、図3に示すように、サポート部52上に設けられる厚い絶縁体58の全ての部分を除去することを避けるためである。図3のマスク60を用いて、厚い絶縁体58を、厚い絶縁ペDESTAL部58aを形成するために、図4に示すように、アレイ部56で方向性エッチングし、エッチングをビットライン・メタライゼーション50上で停止する。次に、マスク60を除去する。次に、下側の二酸化シリコン層42を腐食しない $Cl_2 + O_2$ または $SiF_4 + O_2$ のような標準CVDタングステン・エッチャントを用いて、方向性エッチングを続けて、チップのアレイ部56にビットライン50aをパターンニングする。この方向性エッチングがさらに続けられて、露出したビットライン・スタッド38の部分をエッチングし、ビットライン・スタッド38内に凹部62を形成する。

【0033】前述したように、および図5に説明するように、厚い絶縁体58およびビットライン50aのパターンニング中に、ビットライン・スタッド凹部62が形成される。凹部の存在は、本発明の重要な形態である。というのは、後のプロセス工程では、余分のマスキング工程を全く必要とせず、凹部はビットライン・スタッド38を絶縁する手段を与え、他方、キャパシタ・スタッド40が開かれるからである。

【0034】凹部62の深さ（図4において寸法

“Y”）は、スタッド区分層42の厚さ（図4においては寸法“X”）よりも大きくなければならない。このことは、層42と以下に説明するビットライン・スペーサ（図5）とが、その後に除去されたときに、保護絶縁層が凹部62内に残ることを保証する。この残された絶縁層は、次の製造工程の間、ビットライン・スタッド38と、上側の記憶キャパシタ・ノードとの間の不所望な接触を防止する。好適な実施例では、凹部の深さは、層42の厚さよりも少なくとも100%大きい。

【0035】次に、ビットライン絶縁体64が、ビットライン50aのエッジと、厚い絶縁ペDESTAL部58aの側壁とを含む全露出領域上に設けられる。ビットライン絶縁体64は、二酸化シリコンのような材料で形成され、CVDのような通常の方法で付着される。ビットライン絶縁体64は、前に特定された典型的な256Mb DRAMについて、約200〜約500Åといったように比較的薄い。ビットライン絶縁体は、凹部62を完全に充てんするに十分な厚さに付着され、必要とされる厚さは、凹部62の最大可能幅Zの約半分である。凹部62の最大可能幅（図4の寸法“Z”）は、ビットライン・スタッド38に対するマスク60の重ね合わせ公差によって決定される。重ね合わせ公差は、典型的に最小フォトリソグラフィック寸法の0.5倍より小さい。したがって、凹部62を完全に充てんするのに必要とされる

ビットライン・スペーサ64の厚さは、最小フォトリソグラフィック寸法の0.25倍より小さい。したがって、最小寸法が約0.25 μm である256Mbチップの場合、寸法Zは約1200Åより小さく、ビットライン絶縁体64は、約600Å厚さより小さくすることができる。もちろん、付着の際にスパッタ・エッチングを用いて、凹部62の充てんを補助し、ビットライン絶縁体64の必要な厚さをさらに小さくすることができる。付着中にギャップを充てんしながらのスパッタ・エッチングは、技術上周知のプロセスである。

【0036】次にビットライン絶縁体64は、等方的にエッチングされ、図5に示すように、絶縁体充てん凹部62の表面68'を含む全表面から一様に層68が除去される。凹部62の両側に層が付着されたときに、凹部62が充てんされたことは、注目に値する。対照的に、等方性エッチングは、凹部62の上面からのみ材料を除去する。凹部62の元の深さYが、エッチングされた量よりも大きいならば、多量の絶縁体が、ビットライン・スタッド38の上部に残るであろう。言い換えれば、ビットライン絶縁体64の比較的薄い層は、凹部62が充

てんされることを保証するのに十分であるが、絶縁体64の厚さを、次の等方性エッチングの際に減少させることができ、他方、凹部62内に絶縁体64の厚い層を残して、ビットライン・スタッド38を絶縁する。

【0037】等方性エッチングは、絶縁体64の厚さを減少させて、後の工程で形成される積層キャパシタのための絶縁ペデスタル部58aの間のスペース70を増大させる。

【0038】次の工程では、図6に示すように、ビットライン絶縁体64が、RIEのような適切な方法によって、方向性をもって（すなわち、基板表面に垂直に）エッチングされ、スペーサ絶縁体層64'を垂直面上にもっぱら残すが、絶縁体64を水平面からは完全に除去する。1つの重要な例外は、凹部62である。この凹部では、絶縁体64が非常に厚いので完全に除去することができない。この方向性エッチングは、また、キャパシタ・スタッド40の上面72にあるスタッド区分層42の部分を開く。開かれた部分は、また、キャパシタ・スタッド40に隣接して露出する厚い絶縁層36の部分にエッチングしていき、図6に示すように、凹部74を形成

する。都合の良いことに、厚い絶縁層36、スタッド区分層42、ビットライン絶縁層64、64'は、同じ材料、好ましくは二酸化シリコンで形成することができる。

【0039】エッチングの後に残るスペーサ絶縁体64'は、2つの働きをする。まず第1に、ビットライン50aの側壁を絶縁することである。第2に、凹部62を充てん（または部分的に充てん）し、下側のビットライン・スタッド38が、前述したマスクされないエッチング工程で開かれるのを防止する。そうでなければ、次

に設けられる記憶キャパシタ・ノードへのコンタクトを開くであろう。

【0040】要約すると、凹部62を充てんするのに十分な厚さを有する絶縁体64が付着され、次に、薄くされ、スペーサ・エッチングされ、厚い絶縁ペデスタル部58aおよびビットライン50aの側壁に絶縁体64'の薄い被覆を残し、凹部62内にかなり厚い絶縁体64Rを残して、ビットライン・スタッド38にコンタクトを開くのを防止し、他方、コンタクトはノード・スタッド40に同時に開かれる。2つのコンタクトは、このように、追加のマスキング工程なしに、区別される。

【0041】このプロセスは、ノード・キャパシタのための厚い絶縁ペデスタル部58a間にスペース70を残す。このスペースは、フォトリソグラフィック・システムの最小寸法よりも、スペーサ64'の厚さの約2倍の寸法だけ小さい（ビットラインおよびビットライン・スペースのサイズをトレードオフしうる露光および現像のような工程によるバイアスを無視して）。256Mbセルについて、最小フォトリソグラフィック寸法は約0.25 μm であり、スペーサ64'は約500Å厚さとし、積層キャパシタの幅に対して1500Åを残すことができる。1Gbセルについて、最小フォトリソグラフィック寸法は、約0.17 μm である。スペーサが約500Å幅の場合、約700Åのみ積層キャパシタの幅に利用できる。1Gbセルのスペーサ寸法が300Å以下になるならば、少なくとも約1100Åを積層キャパシタの幅に利用できる。

【0042】上記プロセスに対する改善を以下に説明する。この改善プロセスは、厚い絶縁ペデスタル部58aを細くすることによって、ノード・キャパシタのためにスペース70をかなり広げることを可能にする。図12、図13、図14はそれぞれ図4、図5、図6に対応する断面図であり、このような改善プロセスを示している。

【0043】図12、図13、図14に示される改善プロセスでは、二酸化シリコンまたはアルミナのような絶縁体80のブランケット層が、ビットライン50と厚い酸化物58との間に付着される。図12に示すように、アレイ領域において、厚い酸化物58および絶縁体80がエッチングされた後であって、エッチングがビットライン・メタライゼーション50を進んでビットライン50aを画成する前に、厚い絶縁ペデスタル部58aが等方的にエッチングされて、点線で示されるように、細くて厚い酸化物ペデスタル部58bを形成する。絶縁体80は、このエッチングによって実質的に影響を受けないように選ばれ、したがってビットライン50aは、絶縁体80によって被覆されたまま残る。次に、図4、図5、図6に関して述べたプロセスが行われる。図13に示すように、ビットライン50が、方向性エッチングされ（この場合、図13に示すように、絶縁体80によ

て画成される)、エッチングは、前述したように凹部62が形成されるように続けられる。図13に示すように、層64が付着され、表面層の部分68が等方的にエッチングされる。次に、図14に示すように、層64が、方向性エッチングされ、ビットライン50aと絶縁ペDESTAL部58bの側壁にスペーサ64'を与える。再び、ビットライン・スタッド38上の凹部62内に絶縁体を保持し、他方、ノード・コンタクト・スタッド40にコンタクトを開く。この実施例は、積層キャパシタに利用できるスペーサ170が、図6の実施例で得られるスペース70のほぼ2倍であるという利点を有している。

【0044】この時点で、積層キャパシタをさらに形成するための非常に望ましい中間構造が作製された。サポート領域の局部的接続部は、アレイ領域に用いられるプロセス工程の複雑化なしに、正しい位置に形成されている。ワードライン26およびビットライン50aは、ビットライン・スタッド38とキャパシタ・スタッド40のように、種々のエレメント間に適切な絶縁を有して、正しい位置にある。ビットライン50aとビットライン・スタッド38との間の接触が実現され、他方、ビットライン50aとビットライン・スタッド38は、スペーサ64'によって、および絶縁体64Rによって充てんされ、あるいは部分的に充てんされた自己整合凹部62の存在によって保護される。キャパシタ・スタッド40は、上側の記憶ノード・キャパシタへの最終的な接続のために露出される。記憶ノード・キャパシタのための区域は、厚い絶縁ペDESTAL部58a(図6)または58b(図14)の間に形成され、キャパシタが一旦設けられると、構造はほぼ平坦化された面を与える。さらに、図14に示されるように、厚い絶縁ペDESTAL部58aの寸法を、厚い積層ペDESTAL部58bのスペーサ状寸法にまでかなり減少させることによって、ノード・キャパシタの寸法を、セルのほぼ全サイズにまで増大することができる。このすべては、追加のマスキング工程または特別のプロセス工程なしで実現できた。

【0045】次の工程では、図7、図8、図9、図10、図11、図15、図16、図17に示すように、積層キャパシタが、図6の開孔70に(または対応的に図14の開孔170に)、形成される。図7に示すように、 n^+ ドープド・ポリシリコン84のような選択的にエッチング可能な材料の層が、まず初めに、アレイ領域56のすべての開口を充てんするのに十分な厚さで、CVDのようなプロセスでコンフォーマルに付着される。したがって、 n^+ ポリシリコン層84は、少なくとも約4000Åの厚さを有する。次に、 n^+ ポリシリコン層84は、化学機械研磨され、研磨は厚い絶縁体58および厚い絶縁ペDESTAL部58a上で停止される。

【0046】次に、図8に示すように、約500Åの厚さの薄いブランケットCVD窒化シリコン層86が、付

着される。次に、約2500Å厚のブランケットCVD酸化物層が付着され、この層は次にレジストでマスクされ、エッチングされ、エッチングは窒化物層86上で停止され、図8の断面図、および図15の上面図に示されるように、エッジ90を有する離間された酸化物の島88が設けられる。次に、約500~1000Å厚さの窒化シリコンの他の薄い層が、コンフォーマルに付着される。この窒化物は、設定された時間、方向性エッチングされて、酸化物の島88の上面から窒化物層を除去し、他方、酸化物の島88のエッジ90に沿って窒化物スペーサ92を残す。さらに、エッチングを制御して、ブランケット窒化物層86の大半をそのままに残す。このことは実現可能である。というのは、8インチ・ウェファの全域にわたる垂直方向のエッチング均一性が、通常、約10%内にあるからである。もちろん、窒化物層の厚さを調整して、十分な厚さの窒化物層86が残ることを保証することができる。次に、酸化物の島88自体を緩衝HFでエッチングして、窒化物スペーサ92を直立したまま残し、他方、窒化物層86は厚い酸化物58を保護する。次に、方向性エッチングを再開して、図9に示すように、窒化物86のすべての水平部分を除去し、他方、スペーサ92をそのまま残す。窒化物スペーサ92は、ワードライン26に平行な方向における、個々の積層キャパシタ間の分離を定める。

【0047】次の工程では、図10に示すように、 n^+ ポリシリコン層84が、窒化物スペーサ92でのみマスクされて、 $\text{HBr} + \text{He} + \text{O}_2$ または $\text{Cl}_2 + \text{HBr} + \text{He} + \text{O}_2$ のような標準エッチャントで方向性エッチングされ、スペーサ幅の n^+ ポリシリコン・マンドレル部84aを残す。次に、 p^+ ポリシリコンの薄層100が、CVDによって付着される。次に、レジスト102が設けられて、すべての残りの凹部が充てんされる。次に、プラズマを用いて、厚い絶縁物58、58aのほぼ表面までレジスト102をエッチ・バックし、酸化物58、58aおよびスペーサ92上の p^+ ポリシリコン層100を露出させる。次に、 p^+ ポリシリコン層100は等方性エッチングされて、厚い絶縁層58、58aの面以下のレベルにまで掘り下げられる。次に、窒化物スペーサ92およびレジスト102が除去される。

【0048】次に、図11に示すように、 n^+ ポリシリコン・マンドレル部84aが、ホット H_3PO_4 のようなウェット・エッチングによって除去される。プロセスは、 p^+ ポリシリコンの薄い層100または酸化物領域58の薄い層を腐食しない。 n^+ ドープドシリコンを選択エッチングするために H_3PO_4 を使用することは、文献IBM Technical Disclosure Bulletin, "Hole Opening in Polysilicon by Selective Doping and Removal Technique," by R. F. Bartholome

w, et al, IBM TDB, May 1981, pages 5346-5347に記述されている。次に、 p^+ ポリシリコンの薄い層100の露出面は、酸化あるいは窒化され、キャパシタ誘電体104となる。次に、 p^+ ポリシリコンのプレート層106が付着される。次に、プレート層106が平坦化され、アレイ領域上がマスクされ、他の箇所がエッチングされて、DRAMセルの積層キャパシタ108が完成する。積層キャパシタ108は、厚い絶縁ペデスタル部58aの厚さTにほぼ等しい高さHを有していることがわかる。また、積層キャパシタ108aが、積層キャパシタ108bから距離Vだけ離れていることがわかる。この距離Vは、スペーサ92の幅V（図10）に、および n^+ ポリシリコン・マンドレル部84aの幅Vにほぼ等しい。ノン・フォトリソグラフィック・プロセスによって形成されると、スペーサ92は、他の構造を製造するのに用いられるシステムの最小フォトリソグラフィック寸法よりもかなり小さい幅を有している。したがって、キャパシタ間の間隔は、この最小フォトリソグラフィック寸法よりもかなり小さい。

【0049】図16において、ビットライン・スタッド38は、スタッド38が上にある領域38aを有し、ワードライン26間のビットライン拡散領域32Aへ接触する。ビットライン・スタッド38は、また、スタッド38が下にある領域38bを有し、ビットライン50aへ接触する。ビットライン・スタッド38は、また、ビットライン・スタッド38がビットライン50aを越えて延びるスタッド38内に凹部62が設けられている領域38cを有している。同様に、積層キャパシタ・スタッド40は、スタッド40がワードライン26間のノード拡散領域32Bへ接触する領域40aを有している。積層キャパシタ・スタッド40は、また、スタッド40が積層キャパシタ108へ接触する領域40bを有している。積層キャパシタ・スタッド40は、また、スタッド40がビットライン50aの下にあり、スタッド区分層42によってそこから絶縁されている領域40cを有している。

【0050】図11は、図16に示すセル・レイアウトの上面の折れ曲がりパスA, B, C, ..., Jに沿った断面図である。図1～図14の断面図は、この折れ曲がりパスに沿ったものであり、1つの図面でできるだけ多くのフィーチャを示している。断面図の理解を容易にするために、上面図のA, B, C, ..., Jに相当する点が、また、断面図に示されている。ワードライン26、ビットライン50a、ビットライン・スペーサ64'、ビットライン・コンタクト・スタッド38、積層キャパシタ・スタッド40、積層キャパシタ108は、すべて上面図に示されている。

【0051】図17は、図12、図13、図14に記載されたセルの改善バージョンの上面図である。これによ

れば、キャパシタはかなり大きい。その理由は、キャパシタがビットライン上に延び、ビットライン上のフォトリソグラフィック最小寸法より小さい距離 W' だけ互いに分離されているからである。対照的に、図16において、積層キャパシタ108は、ビットライン50aと2つのスペーサ64'とを加えた幅に等しい距離W（フォトリソグラフィック最小寸法より大きい距離にまで加える）だけ互いに分離されていることがわかる。

【0052】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 接続部を形成する方法であって、(a) 導電層を付着する工程と、(b) 少なくとも前記導電層の部分をパターニングする工程と、(c) 前記導電層上に絶縁層を形成する工程と、(d) 少なくとも前記絶縁層および前記導電層の部分をパターニングする工程と、を含むことを特徴とする方法。

(2) 前記導電層は、半導体チップ上にあり、前記半導体チップは、アレイ部とサポート部とを有し、前記工程(b)は、前記アレイ部をブロック・マスキングしながら、前記サポート部をパターニングする工程を含むことを特徴とする上記(1)に記載の方法。

(3) 前記工程(d)は、前記サポート部をブロック・マスキングしながら、前記アレイ部をパターニングする工程を含むことを特徴とする上記(2)に記載の方法。

(4) 前記アレイ部は、ビットラインを有することを特徴とする上記(3)に記載の方法。

(5) 前記ビットラインに自己整合した積層キャパシタを形成する工程をさらに含むことを特徴とする上記(4)に記載の方法。

(6) 前記工程(c)の前記絶縁層は、厚さを有し、前記積層キャパシタは高さを有し、前記高さは、前記厚さにほぼ等しいことを特徴とする上記(5)に記載の方法。

(7) 前記絶縁層は、二酸化シリコンよりなることを特徴とする上記(1)に記載の方法。

(8) 前記工程(c)は、第1の絶縁体を付着し、次に、第2の絶縁体を付着する工程を含むことを特徴とする上記(1)に記載の方法。

(9) 前記工程(d)は、前記第2の絶縁体をパターニングし、前記第1の絶縁体をパターニングする工程と、前記第2の絶縁体を、細くする工程と、前記第1の絶縁体に自己整合した前記導電層をパターニングする工程と、を含むことを特徴とする上記(8)に記載の方法。

(10) 前記細くする工程は、等方性エッチング工程であり、前記第1の絶縁体は、前記第2の絶縁体を細くする工程の際に、実質的にエッチングされない材料であることを特徴とする上記(8)に記載の方法。

(11) 積層キャパシタおよびビットラインを有するメモリセルを備え、前記積層キャパシタは、前記ビットラインに自己整合していることを特徴とする半導体チップ

プ。

(12) 前記積層キャパシタは、高さを有し、前記ビットラインは厚さを有し、前記高さは、前記厚さの少なくとも5倍であることを特徴とする上記(11)に記載の半導体チップ。

(13) 前記ビットライン上に厚い絶縁体を有し、前記ビットラインは、前記厚い絶縁体に自己整合し、前記積層キャパシタは、前記厚い絶縁体および前記ビットラインに自己整合していることを特徴とする上記(11)に記載の半導体チップ。

(14) 前記厚い絶縁体は、厚さを有し、前記ビットラインは厚さを有し、前記厚い絶縁体の厚さは、前記ビットラインの厚さの少なくとも5倍であることを特徴とする上記(11)に記載の半導体チップ。

(15) 前記メモリセル内の前記厚い絶縁体は、占有的に前記ビットライン上にあることを特徴とする上記(13)に記載の半導体チップ。

(16) 前記厚い絶縁体は、前記ビットラインに中心合わせされ、前記ビットラインよりも細いことを特徴とする上記(15)に記載の半導体チップ。

(17) 前記厚い絶縁体は厚さを有し、前記積層キャパシタは高さを有し、前記高さは前記厚さにほぼ等しいことを特徴とする上記(13)に記載の半導体チップ。

(18) 前記ビットラインおよび積層キャパシタは、アレイの一部であり、前記半導体チップは、さらに、サポート回路を備え、前記サポート回路は、前記ビットラインと共面の相互接続メタライゼーション層を有し、前記相互接続メタライゼーション層上の前記厚い絶縁体は、ほぼ一様なチップ・トポロジを与えることを特徴とする上記(13)に記載の半導体チップ。

(19) 前記ビットラインおよび前記共面相互接続メタライゼーション層は、これらの間のマスク・アライメント公差間隔変動を有することを特徴とする上記(18)に記載の半導体チップ。

(20) スペーサが、前記ビットラインと前記キャパシタとを分離することを特徴とする上記(11)に記載の半導体チップ。

(21) 第2の層が、前記ビットラインと前記厚い絶縁体との間にあり、前記厚い絶縁体は、前記第2の層を実質的にエッチングすることなくエッチング可能であり、前記第2の層は、前記ビットラインを実質的にエッチングすることなくエッチング可能であることを特徴とする上記(11)に記載の半導体チップ。

(22) 前記ビットラインは、前記第2の層に、自己整合していることを特徴とする上記(21)に記載の半導体チップ。

(23) 最小寸法を有するフォトリソグラフィック技術を用いて作製された半導体チップであって、1対の積層キャパシタを備え、前記1対の積層キャパシタは、前記最小寸法よりもかなり小さい距離だけ、互いに分離され

ていることを特徴とする半導体チップ。

(24) 複数のビットラインをさらに備え、前記ビットラインは、ビットライン・ピッチを有し、前記分離距離は、前記ビットライン・ピッチの1/4より小さいことを特徴とする上記(23)に記載の半導体チップ。

(25) 前記積層キャパシタは、前記ビットラインに自己整合していることを特徴とする上記(24)に記載の半導体チップ。

(26) 前記ビットラインおよび積層キャパシタは、アレイの一部であり、前記半導体チップは、さらに、サポート回路を備え、前記サポート回路は、前記ビットラインと共面の相互接続メタライゼーション層を有し、前記相互接続メタライゼーション層上の前記厚い絶縁体は、ほぼ一様なチップ・トポロジを与えることを特徴とする上記(24)に記載の半導体チップ。

(27) 複数の積層キャパシタをさらに備え、第1の前記複数の積層キャパシタは、前記複数の積層キャパシタのうちの隣接する4つの他の積層キャパシタであり、前記第1の積層キャパシタは、最小寸法よりもかなり小さい距離だけ、前記4つの隣接積層キャパシタの各々から分離されていることを特徴とする上記(23)に記載の積層キャパシタ。

(28) DRAMセルの作製方法であって、(a)半導体ウェハを設ける工程と、(b)前記ウェハ上にビットラインを画成する工程と、(c)前記ビットラインに自己整合した積層キャパシタを形成する工程と、を含むことを特徴とする方法。

(29) 前記工程(b)は、

- b1) 前記ウェハ上に金属の層を付着する工程と、
- b2) 前記金属の層上に厚い絶縁体を付着する工程と、
- b3) 前記厚い絶縁体上に、前記ビットラインのマスクング・パターンを設ける工程と、
- b4) 前記厚い絶縁体をエッチングして、厚い絶縁ベDESTAL部を形成する工程と、
- b5) 前記工程(b4)で露出された前記金属の層をエッチングして、前記ビットラインを画成する工程と、を含むことを特徴とする上記(28)に記載の方法。

(30) 前記エッチング工程(b5)の後に、前記厚い絶縁体を等方性エッチングし、前記ビットラインに中心合わせされた細くて厚い絶縁ベDESTAL部を残す工程をさらに含むことを特徴とする上記(29)に記載の方法。

(31) 前記ビットラインと前記厚い絶縁体との間に、第2の材料層を付着する工程をさらに含み、前記厚い絶縁体は、前記第2の材料層を実質的にエッチングすることなくエッチング可能であり、前記第2の材料層は、前記ビットラインを実質的にエッチングすることなくエッチング可能であることを特徴とする上記(30)に記載の方法。

(32) 前記第2の層に自己整合した前記ビットライン

をエッチングする工程をさらに含むことを特徴とする上記(31)に記載の方法。

(33) 前記ビットラインおよび積層キャパシタは、アレイの一部であり、前記半導体チップは、サポート回路をさらに備え、前記サポート回路は、前記ビットラインと共面の相互接続メタライゼーション層を有し、さらに、前記工程(b2)の後に、前記厚い絶縁体を平坦化して、前記アレイおよびサポート回路上に、ほぼ様なチップ・トポロジを得る工程をさらに含み、前記厚い絶縁体は、厚さを有し、前記積層キャパシタは、高さを有し、前記高さは、前記厚さにほぼ等しいことを特徴とする上記(29)に記載の方法。

(34) 前記共面相互接続メタライゼーション層は、前記ビットライン画成工程(b)とは別のマスキング工程で画成することを特徴とする上記(33)に記載の方法。

(35) 前記工程(b)のビットラインは、側壁を有し、前記工程(b)は、前記側壁に沿ってスペーサを形成し、前記ビットラインを前記キャパシタから絶縁する工程をさらに含むことを特徴とする上記(28)に記載の方法。

(36) DRAMチップを作製する方法であって、

(a) アレイ部およびサポート部を有する半導体ウェハを設ける工程と、(b) 前記アレイ部およびサポート部上に、厚い絶縁体を付着する工程と、(c) 前記アレイ部上の前記厚い絶縁体内に溝をエッチングする工程と、

(d) 前記溝内に積層キャパシタを形成する工程とを含み、前記厚い絶縁体は、厚さを有し、前記積層キャパシタは、高さを有し、前記高さは、前記厚さにほぼ等しい、ことを特徴とする方法。

(37) 前記工程(b)の前に、導電層を付着する工程をさらに含み、前記工程(c)は、前記アレイ部上の前記厚い絶縁体内の前記溝に自己整合した前記導電層をエッチングする工程をさらに含むことを特徴とする上記(36)に記載の方法。

(38) DRAMチップの作製方法であって、(a) 半導体ウェハを設ける工程と、(b) 選択的にエッチング可能な第1の材料を付着する工程と、(c) 最小寸法を有するフォトリソグラフィック技術を用いて、前記第1の材料上に、選択的にエッチング可能な第2の材料よりなる、エッジを有する島を形成し、前記エッジに沿って、選択的にエッチング可能な第3の材料よりなり、前記最小フォトリソグラフィック寸法よりも小さい寸法を有するスペーサを、ノン・フォトリソグラフィックに形成し、前記島をエッチング除去して、前記スペーサおよび前記第1の材料を残す工程と、(d) 前記スペーサによってマスクされた前記第1の材料内の溝をエッチングする工程と、(e) 前記溝内に積層キャパシタを形成する工程とを含み、前記積層キャパシタは、前記スペーサの寸法にほぼ等しい寸法だけ、互いに分離している、こ

とを特徴とする方法。

【図面の簡単な説明】

【図1】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図2】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図3】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図4】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図5】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図6】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図7】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図8】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図9】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイ・デバイスの断面図である。

【図10】アレイおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図

に示されるラインA, B, C, ..., Jに沿ったアレイドバイスの断面図である。

【図11】アレイドおよびサポート・デバイスと、本発明の積層キャパシタを作製する一連のプロセス工程を示す断面図であり、図16に示すチップのアレイ部の上面図に示されるラインA, B, C, ..., Jに沿ったアレイドバイスの断面図である。

【図12】ビットライン上に延びるより大きな積層キャパシタを有する本発明の改善バージョンを作製するために、図4, 図5, 図6に用いられるプロセス工程に代わるプロセス工程のシーケンスを示す断面図である。

【図13】ビットライン上に延びるより大きな積層キャパシタを有する本発明の改善バージョンを作製するために、図4, 図5, 図6に用いられるプロセス工程に代わるプロセス工程のシーケンスを示す断面図である。

【図14】ビットライン上に延びるより大きな積層キャパシタを有する本発明の改善バージョンを作製するために、図4, 図5, 図6に用いられるプロセス工程に代わるプロセス工程のシーケンスを示す断面図である。

【図15】図8で説明されるプロセスでの工程における本発明のチップのアレイ部のレイアウトの上面図であり、積層キャパシタの互いの分離を画成するスペーサの配置を示している。

【図16】本発明のチップのアレイ部のレイアウトの上面図であり、ビットラインに自己整合され、最小のフォトリソグラフィック寸法より小さい距離だけ、ビットラインに平行な方向に互いに分離された積層キャパシタの配置を示している。

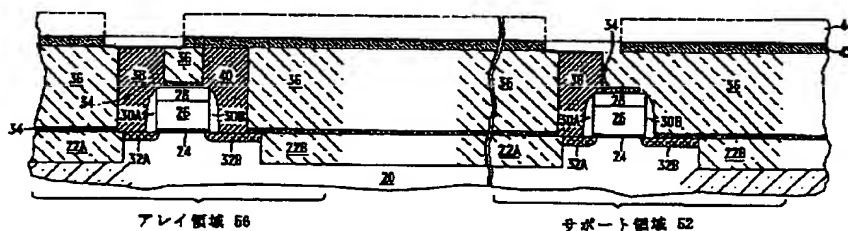
【図17】積層キャパシタがビットライン上に延び、積層キャパシタが最小のフォトリソグラフィック寸法より小さい距離だけ、ワードラインに平行な方向に互いに分離された、本発明のチップの改善バージョンのアレイ部のレイアウトの上面図である。

【符号の説明】

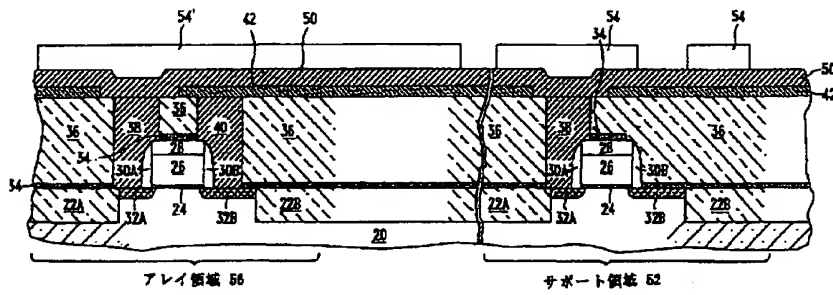
- 20 基板
- 22A, 22B トレンチ分離領域
- 24 ゲート酸化物層

- 26 ワードライン
- 28 絶縁キャップ
- 30A, 30B スペーサ
- 32A, 32B 拡散領域
- 34 パシベーション層
- 36 絶縁層
- 38, 40 スタッド
- 42 区別層
- 44 マスク
- 50 ビットライン導体
- 50a ビットライン
- 50S 相互接続部
- 52 サポート領域
- 54 マスク
- 54' ブロック・マスク部
- 56 アレイ領域
- 58 絶縁層
- 60 マスク
- 60S ブロック・マスク部
- 62 凹部
- 64 ビットライン絶縁体
- 64' スペーサ絶縁体層
- 70 スペーサ
- 74 凹部
- 80 絶縁体
- 84 n⁺ ポリシリコン層
- 84a n⁺ ポリシリコン・マンドレル部
- 86 窒化シリコン層
- 88 島
- 90 エッジ
- 92 窒化物スペーサ
- 100 p⁺ ポリシリコンの薄層
- 102 レジスト
- 170 スペーサ
- 104 キャパシタ誘電体
- 106 プレート層
- 108 積層キャパシタ

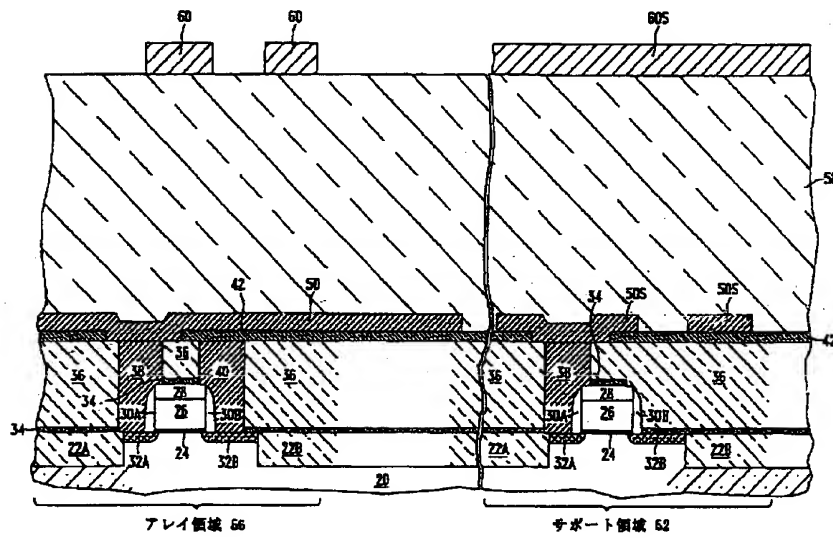
【図1】



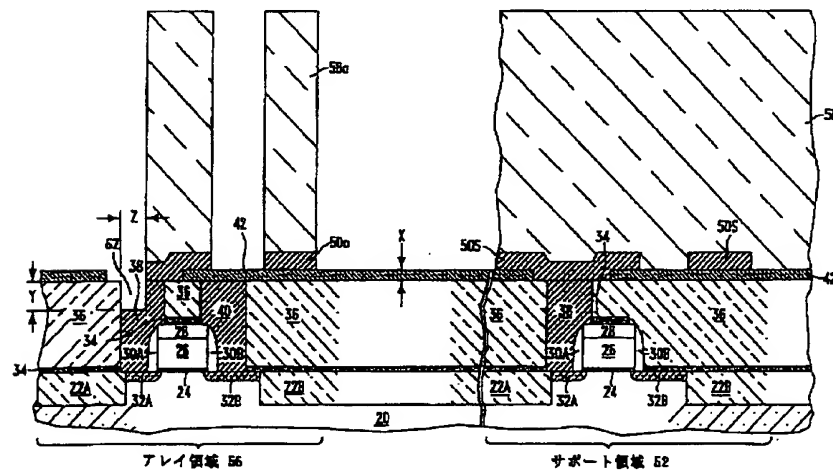
【図2】



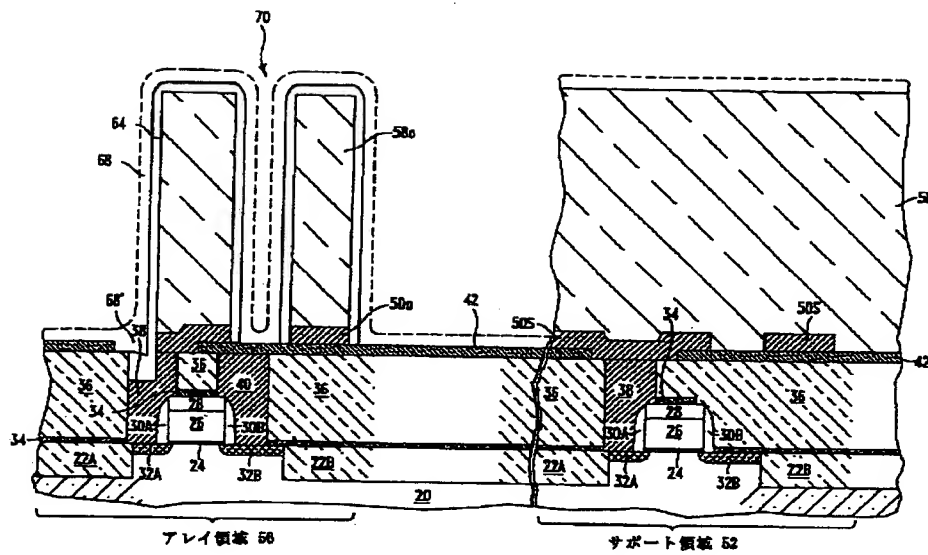
【図3】



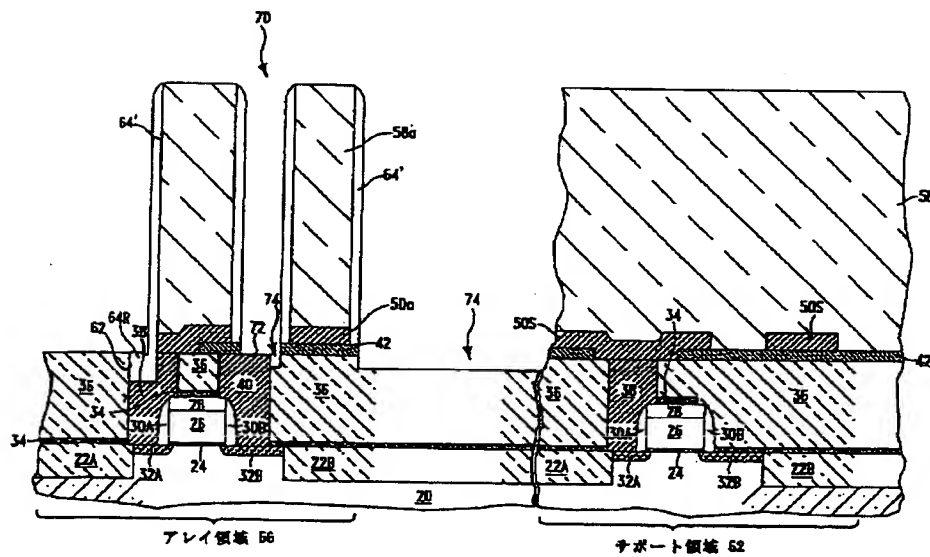
【図4】



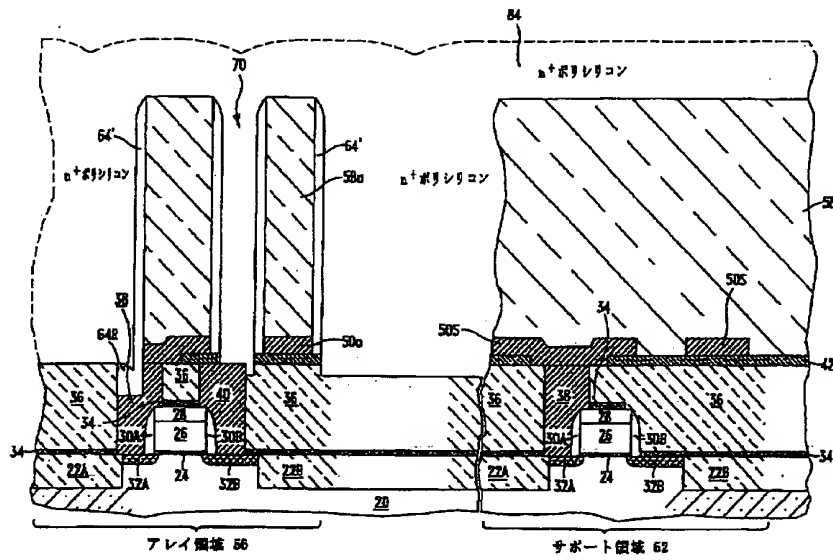
【図5】



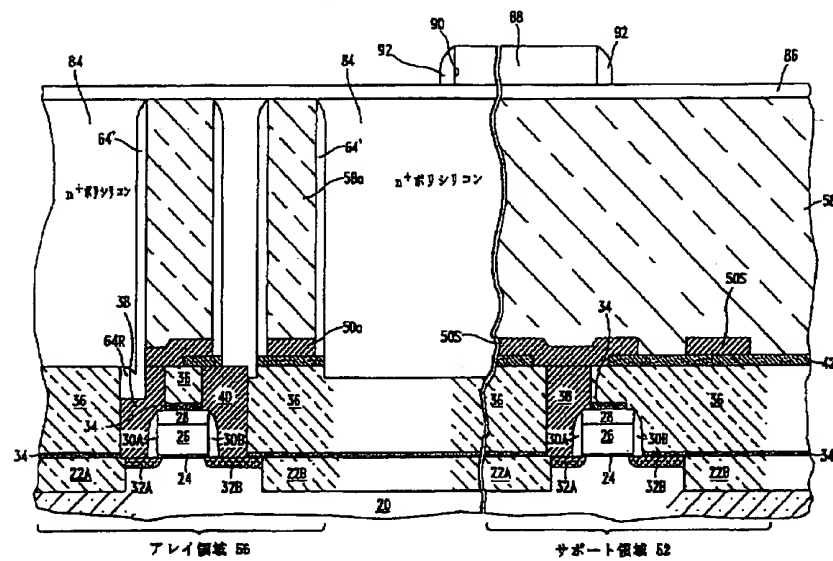
【図6】



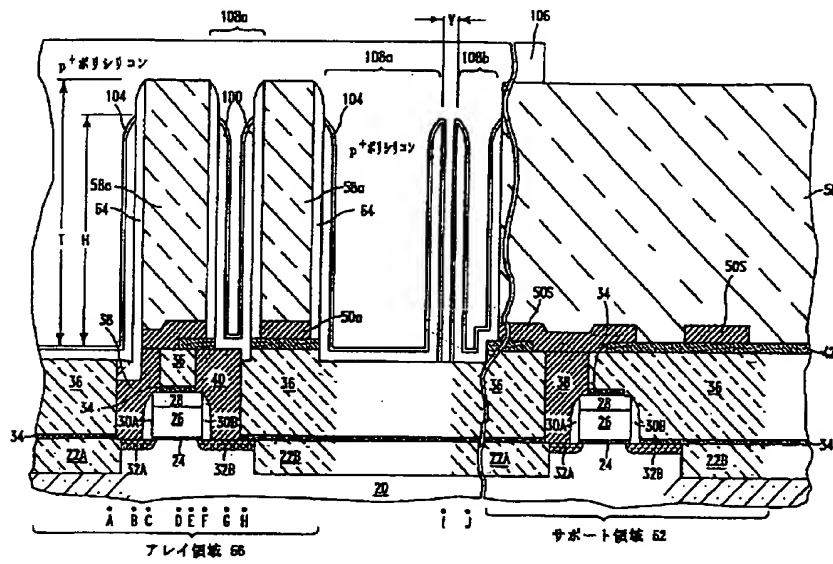
【図7】



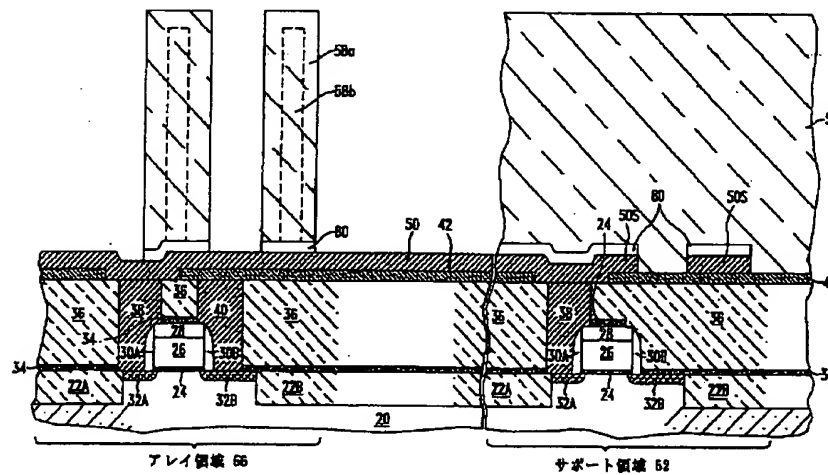
【図8】



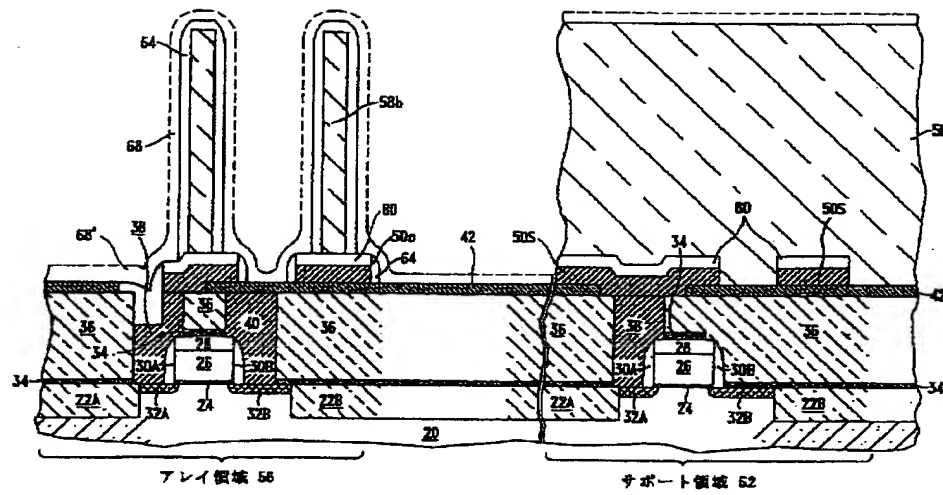
【図11】



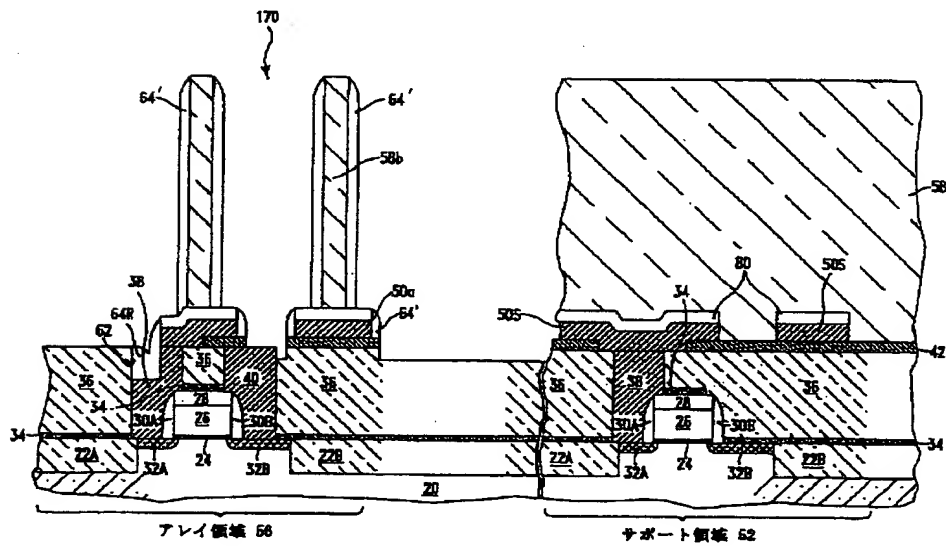
【図12】



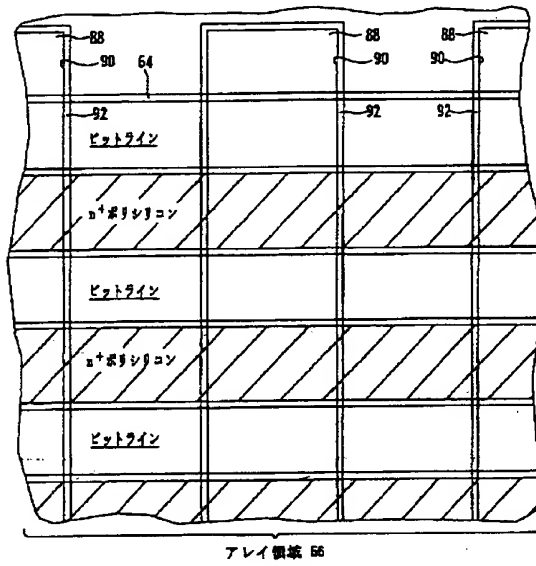
【図13】



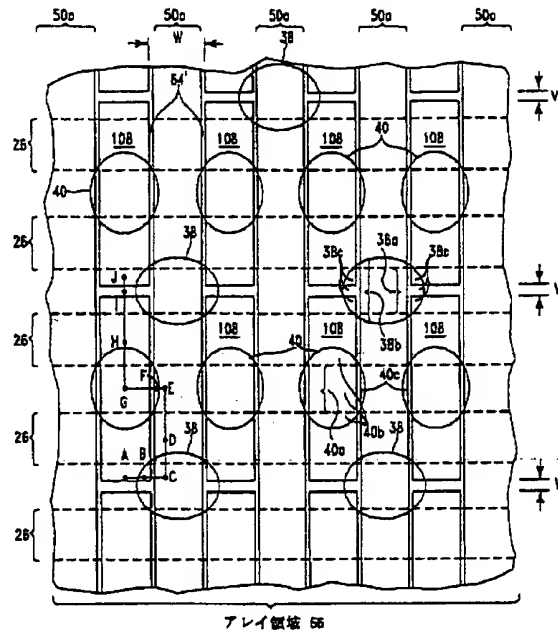
【図14】



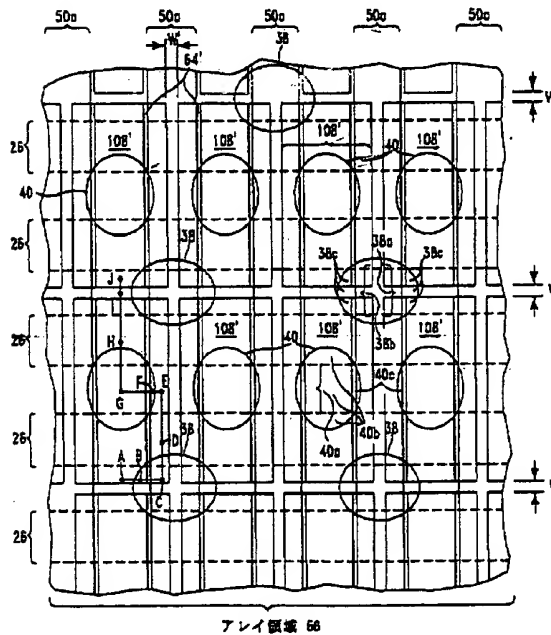
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 カーター・ウェリング・カーンタ
アメリカ合衆国 05446 バーモント州
コルチェスター グランド ビュー ロード
56

(72)発明者 ブライアン・ジョン・マチェスニー
アメリカ合衆国 05401 バーモント州
バーリントン イーサン アレン パーク
ウェイ 429

THIS PAGE BLANK (USPTO)